

CAD: Computer Aided Design

HDL: Hardware Description Language

DA: Design Automation

VHSIC: Very High Speed Integrated Circuit

VHDL: VHSIC Hardware Description Language

پروسه طراحی سیستمهای دیجیتال:

۱- ایده طراحی

۲- Behavioral طراحی ← عملکرد کلی مدار بدون وارد شدن به جزئیات

۳- طراحی Data path ← مشخص کردن رجیسترها و باسها

۴- طراحی Logic ← گیتها و فلیپ فلاپها مشخص می شوند

۵- طراحی Physical ← ترانزیستورها

۶- تولید

۷- تراشه یا بورد

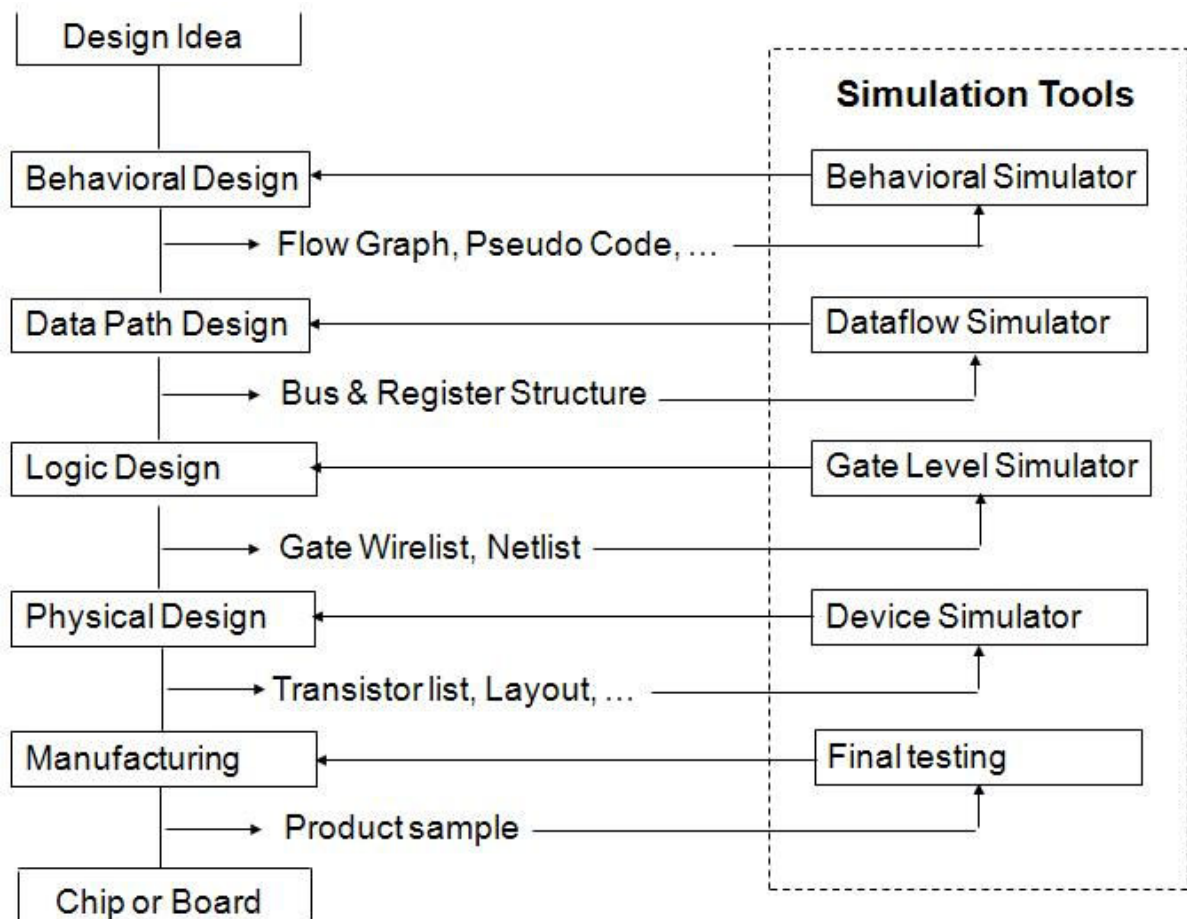
Simulator: نرم افزاری برای تست کردن درستی عملکرد مدار

Synthesizer: نرم افزاری برای تولید مدار بصورت اتوماتیک

یک نرم افزار Simulator نیاز به دو مورد زیر دارد:

- مدلی که قرار است شبیه سازی روی آن صورت گیرد.

- Test Data (Stimuli)

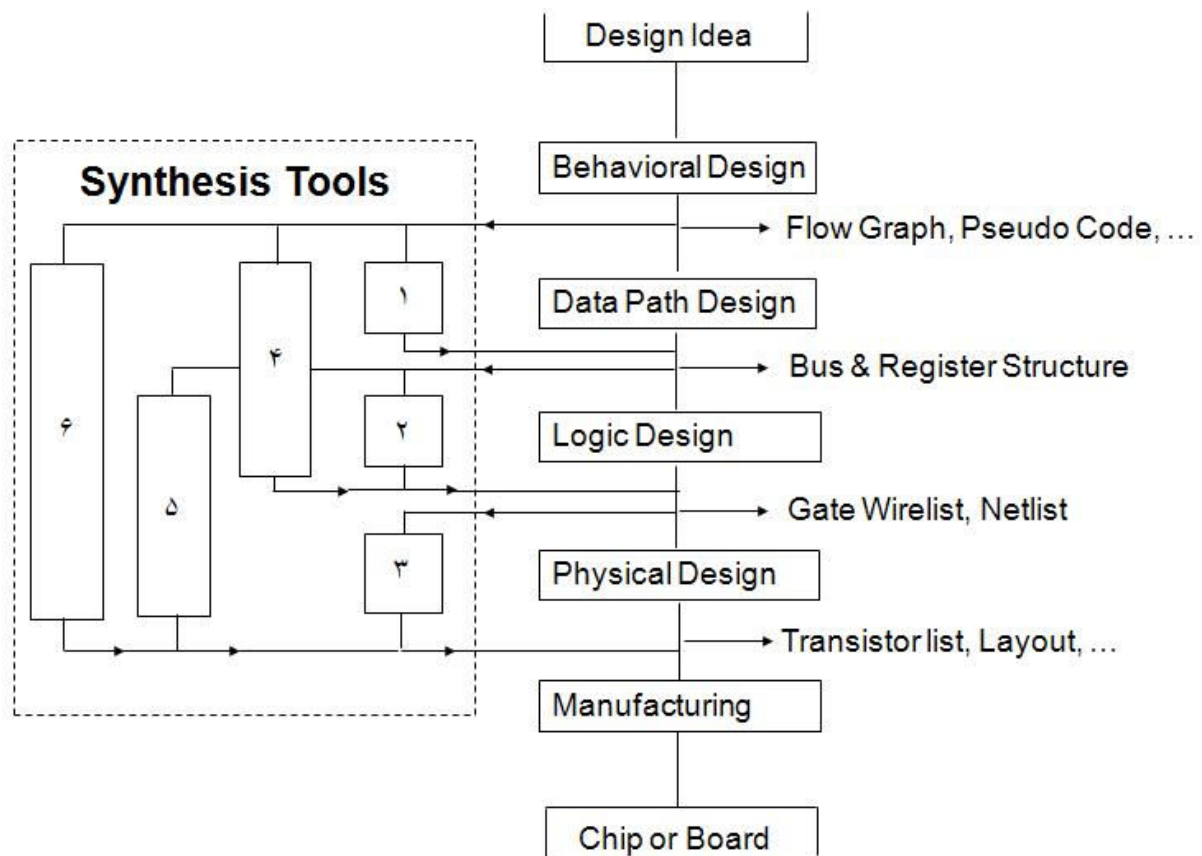


دو نوع Simulation داریم:

- Oblivious Simulation: در بازه های زمانی ثابت، خروجی های هر جزء مدار محاسبه می شود.

- Event-driven Simulation: زمانی خروجی یک جزء مدار محاسبه می شود که حداقل یکی از ورودی های آن تغییر کند.

ابزار سنتز یا Synthesis tool، ابزاری است که بصورت اتوماتیک یک توصیف طراحی را از یک فرم به فرم دیگر تبدیل می کند.



3 levels of abstraction:

- behavioral level
- dataflow level
- structural level

سطح behavioral، ساده ترین و خلاصه ترین سطح می باشد و عملکرد طرح را در یک شکل شبه نرم افزاری شرح می دهد و هیچ جزئیاتی که مربوط به نحوه پیاده سازی طراحی باشد را ارائه نمی کند.

سطح dataflow، یک نحوه نشان دادن همزمان حرکت داده ها می باشد.

سطح structural، شامل لیستی از اجزاء و اتصالات بین آنها می باشد.

VHDL زبان

ENTITY component_name IS

(input and output ports)

END component_name;

توصیف interface با کلمه ENTITY آغاز می شود و شامل پورتهای ورودی و خروجی component می باشد.

بدنه component با کلمه ARCHITECTURE شروع می شود و عملکرد component را مشخص می کند. این عملکرد می تواند بصورت اتصالات component های دیگر باشد یا اینکه تابعی باشد که خروجی را به ورودی مربوط می سازد.

ARCHITECTURE identifier OF component_name IS declarations

BEGIN

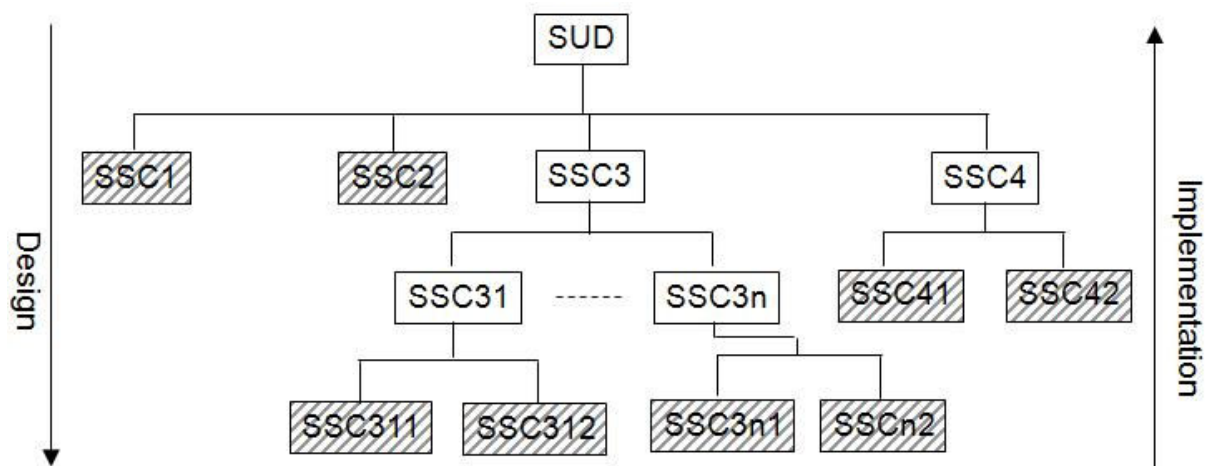
.
.
.

END identifier;

برای هر Component با یک توصیف interface واحد می توان چندین مشخصه architectural داشت.

Top-Down Design: شکستن (Partiotioning) طرح به قسمتهای کوچکتر قابل اداره (Managable)

آنقدر طرح را Partiotion می کنیم که هر قسمت به صورت بخشی (Part) از کتابخانه (library) موجود باشد یا با تغییر یک بخش موجود قابل پیاده سازی شود یا اینکه نرم افزار سنتز کننده بتواند آن را تشخیص دهد و سخت افزار مورد نظر را تولید کند.



SUD: System Under Design

SSC: System Sub Component

سایه دار: پیاده سازی شده با سخت افزار

بدون سایه: مدل behavioral